

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

특 1998-050124

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
H01L 21/28(11) 공개번호 특1998-050124
(43) 공개일자 1998년09월15일

(21) 출원번호 특1996-068902
(22) 출원일자 1996년12월20일
(71) 출원인 현대전자산업 주식회사 김영환
경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자 이승욱
서울 송파구 거여동 산 71 사자 아파트 마-805호
설여송
서울시 용산구 후암동 1-41
최창주
서울시 관악구 봉천6동 1686-18
(74) 대리인 이권희, 이정훈

심사청구 : 있음

(54) 반도체소자의 금속 배선 형성방법

요약

본 발명은 반도체소자의 금속배선 형성 방법에 관한 것으로, 텅스텐 배선을 형성할때 감광막에 대하여 고 식각선택비를 갖도록 하기 위해 식각 파라메타중에 소스 전력의 증가, 바이어스 전력의 감소 및 식각 가스의 비율을 변화시켜 식각선택비를 향상시키는 기술이다. 또한, 상기와 같은방법으로 감광막에 대한 식각선택비를 높일 경우 금속 배선의 내측벽으로 라운드된 요부가 발생하는 문제점을 해결하기 위하여 식각 공정을 저온에서 진행한다. 그로인하여 수직한 측벽 프로파일을 갖는 금속 배선을 형성할 수 있다.

도표도

도3

명세서

도면의 간단한 설명

도 1 및 도 2는 종래 기술에 의해 금속배선을 형성하는 단계를 도시한 단면도이다.

도 3은 본 발명의 실시예에 금속 배선을 형성한 것을 도시한 단면도이다.

* 도면의 주요부분에 대한 부호의 설명 *

1 : 하부막 2 : 베리어막
3 : 텅스텐층 4 : 반사방지막
5 : 감광막 5A : 감광막 패턴

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 금속배선 형성방법에 관한 것으로, 특히 텅스텐 배선을 형성할때 감광막에 대하여 고 식각선택비를 갖도록 하는 식각 방법에 관한것이다.

반도체소자가 고집적화됨에 따라 금속 배선의 선폴은 미세화되고, 이에 따라 미세 패턴 형성이 가능한 원자의 선용 감광막의 사용이 필수적이다. 그러나, 원자외선용 감광막의 낮은 식각선택비와 식각 공정 여유도(Etch Process Margin)의 부족이 미세패턴의 형성에 큰 어려움으로 대두된다.

즉, 단차가 있는 지역에 증착된 금속 배선을 상부에서 감광막을 도포하고, 노광 및 현상 공정으로 감광막 패턴을 형성한다음, 노출된 금속 배선층을 식각할때 상기 금속 배선에 대한 감광막의 낮은 식각선택비로 인하여 단차가 높은 지역에 얇은 두께로 도포된 감광막이 식각되어 하부의 금속 배선층이 노출되고, 결국 금속 배선층이 식각되어 불량이 발생하는등 식각 여유도가 저하되는 문제가 발생된다. 또한, 감광막이 모

감광막이 모두 식각된후 금속 배선층이 들어나서 식각 될때 폴리머에 의해 부분적인 식각 속도 차이가 유발되고, 이로 인해 금속의 표면이 매우 거칠어지는 문제가 발생된다.

종래기술을 도 1 및 도 2를 참조하여 설명하면 다음과 같다.

도 1은 단차를 갖는 하부층(1) 상부에 베리어층(2), 텅스텐층(3), 반사방지막(4)을 적층하고, 그상부에 감광막(5)을 도포한 단면도이다. 하부층(1)의 단차가 높은 곳은 감광막(5)의 두께가 얇은 것을 알수 있다.

도 2는 금속 배선 마스크를 이용한 노광 및 현상 공정으로 감광막패턴(5A)을 형성한다음, 노출된 지역의 반사방지막(4), 텅스텐층(3) 및 베리어층(2)을 순차적으로 식각하여 금속 배선을 형성한 단면도로서, 상기 텅스텐층(3)의 측벽에 요철이 형성되어 측벽 프로파일이 불량함을 도시한다.

상기한 문제들을 해결하기 위하여 텅스텐층 상부에 텅스텐과 식각선택비가 높은 하드 마스크층 예를들어 티타늄 나이트라이드막 또는 실리콘 산화막을 두껍게 증착하여 식각 베리어로 이용하는 공정을 진행하여 왔는데 이는 후속 공정으로 진행되는 상부 금속 배선과의 콘택저항을 증대시키는 또다른 문제가 발생된다.

발명이 이루고자하는 기술적 과제

본 발명은 종래의 텅스텐 배선을 식각할때 감광막과의 낮은 식각선택비로 인해 발생하는 문제점을 해결하기 위하여 텅스텐 식각 조건을 변화시켜 텅스텐 배선과 감광막 사이에 높은 식각선택비를 갖도록 하는 반도체소자의 금속배선 형성 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명은 반도체소자의 금속 배선 형성 방법에 있어서, 반도체기판 상부에 베리어막, 텅스텐층, 반사방지막을 형성하는 단계와, 상기 반사방지막 상부에 감광막 패턴을 형성하는 단계와, 저온 및 고밀도 플라즈마에서 상기 반사방지막, 텅스텐층, 베리어막을 순차적으로 식각하여 수직한 측벽 프로파일을 갖는 금속배선을 형성하는 단계로 이루어진다.

본 발명은 텅스텐 식각 공정시 감광막과의 낮은 식각선택비를 텅스텐 식각 파라메타중에 소스 전력의 증가, 바이어스 전력의 감소 및 식각가스의 비율을 변화시켜 식각선택비를 향상시키는 기술이다.

또한, 상기와 같은 방법으로 감광막에 대한 식각선택비를 높일 경우 금속 배선의 내측벽으로 라운드된 요부가 발생하는 문제점을 해결하기 위하여 식각 공정을 저온에서 진행한다. 그로인하여 수직한 측벽 프로파일을 갖는 금속 배선을 형성할 수 가 있다.

참고로, 식각 공정을 저온 에서 실시하는 경우 텅스텐이 식각되면서 측벽에 보호막이 형성되기 때문에 수직한 측벽 프로파일을 얻을수 있으며, 이보호막은 텅스텐 배선을 형성한다음, 크리닝 공정시 완전히 제거된다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

도 3은 본 발명의 실시예에 의해 금속 배선을 형성한 단면도를 도시한 것으로, 도 1과 같이 단차를 갖는 하부층(1) 상부에 베리어층(2), 텅스텐층(3), 반사방지막(4)을 적층하고, 그상부에 원자외선용 감광막(5)을 도포한 다음, 감광막 패턴(5A)을 형성한다음, 본 발명에 의한 식각 공정을 진행한 것이다.

즉, 본발명에 의한 베리어층(4), 텅스텐층(3) 및 반사방지막(2) 을 식각하는 공정은 고 밀도의 플라즈마(예를들어 10^{12-13})를 얻기 위하여 헬리콘 소스(Helicon Source)를 이용하고, 소스 전력은 1 내지 3 KWatt로 설정한다. 또한, 이온의 물리적인 힘을 감소시켜 감광막 패턴이 식각되는 것을 감소시키기 위해 챔버 내의 전극에 인가하는 바이어스 전력을 10-50Watt로 설정 한다.

그리고, 상기와 같은 조건으로 식각공정을 진행하면 감광막에 대한 금속층들의 식각선택비가 높아지는 반면 형성되는 텅스텐층 배선의 측벽에 라운드된 요부가 발생되는데 이러한 문제점을 해결하기 위하여 챔버내의 전극 온도를 -60℃ 내지 0℃로 유지한다.

참고로, 상기 감광막 패턴(5A)을 마스크로 이용하여 식각 공정을 진행할때 상기 반사방지막(4)은 염소계 가스 예를들어 Cl_2 , BCl_3 등을 이용하여, 동일 챔버에서 연속적으로 텅스텐층(3)을 불소계(예를들어 SF_6 , CF_4 , NF_3 , 등)에 질소를 혼합하거나 불소계에 산소와 아르곤을 혼합하여 식각공정을 진행하고, 동일 챔버에서 연속적으로 하부의 베리어막(2)은 상기염소계 가스를 이용하여 식각공정을 진행한다.

상기 텅스텐층(3)을 식각할때 불소계(예를들어 SF_6 , CF_4 , NF_3 , 등)에 질소를혼합하거나 산소와 아르곤을 혼합가스의 전체량은 50-500SCCM(Standard Cubic Centimeter) 정도이며, 질소(또는 산소 + 아르곤)/[불소계 + 질소(또는 산소 +아르곤)]의 비율이 0-50% 정도이다.

발명의 효과

상기한바와같이 본 발명은 단차를 갖는 하부막 상에 극 미세 선폭을 갖는 금속 배선을 형성할때 감광막과 금속층간의 식각선택비를 향상시켜서 식각 마진을 증대시키고, 종래에 식각선택비를 향상시키기 위해 사용되는 하드 마스크층의 두께를 줄이거나 생략할수가 있으므로 후속 공정을 용이하게 하고, 콘택 저항이 증대되는 것을 방지 할 수가 있다.

(57) 청구의 범위

청구항 1

반도체소자의 금속 배선 형성 방법에 있어서, 반도체기판 상부에 배리어막, 텅스텐층, 반사방지막이 순차적으로 형성된 적층구조를 형성하는 단계와, 상기 반사방지막 상부에 금속배선으로 예정되는 부분을 보호하는 감광막 패턴을 형성하는 단계와, 상기 감광막 패턴을 식각마스크로 사용하여 상기 적층구조를 순차적으로 식각하되, 식각챔버내의 온도를 160℃~0℃로 하고, 바이어스 전력은 10~50Watt로 하고, 소스 전력은 1~3kWatt로 하여 염소계 가스 및 불소계 가스를 포함하는 혼합가스에 의한 고밀도플라즈마 식각 방법으로 동일한 챔버내에서 식각하여, 상기 적층구조의 식각면에 보호막을 형성시켜 수직한 측벽 프로파일을 갖는 금속배선을 형성하는 단계로 이루어지는 것을 특징으로 하는 반도체소자의 금속 배선 형성 방법.

청구항 2

제1항에 있어서, 상기 배리어막은 티타늄과 티타늄 나이트라이드막의 적층 구조인것을 특징으로 하는 반도체소자의 금속 배선 형성방법.

청구항 3

제1항에 있어서, 상기 반사방지막은 티타늄 나이트라이드막인 것을 특징으로 하는 반도체소자의 금속 배선 형성방법.

청구항 4

제1항에 있어서, 상기 고밀도 플라즈마를 얻기 위해 헬리콘 소스(Helicon Source)를 이용하는 것을 특징으로 하는 반도체소자의 금속 배선 형성방법.

청구항 5

제1항에 있어서, 상기 염소계 가스는 Cl_2 또는 BCl_3 인것을 특징으로 하는 반도체소자의 금속 배선 형성 방법.

청구항 6

제1항에 있어서, 상기 혼합가스는 불소계 가스에 질소 또는 산소와 아르곤이 혼합되어 있는 것을 특징으로 하는 반도체소자의 금속 배선 형성방법.

청구항 8

제6항에 있어서, 상기 혼합가스의 유량은 50~500SCCM(Standard Cubic Centimeter) 인 것을 특징으로 하는 반도체소자의 금속 배선 형성방법.

청구항 9

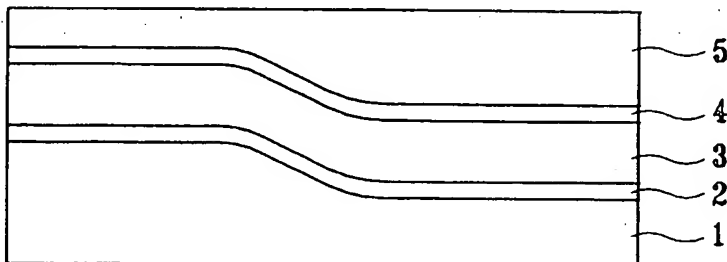
제6항 또는 제7항에 있어서, 상기 혼합가스는 질소/[불소계 가스 + 질소]의 비율이 0~50% 정도인 것을 특징으로 하는 반도체소자의 금속 배선 형성방법.

청구항 9

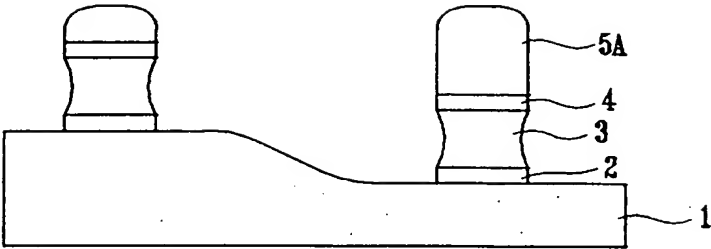
제6항 또는 제7항에 있어서, 상기 혼합가스는 (산소 + 아르곤)/[불소계 가스 + 산소 + 아르곤]의 비율이 0~50% 정도인 것을 특징으로 하는 반도체소자의 금속 배선 형성방법.

도면

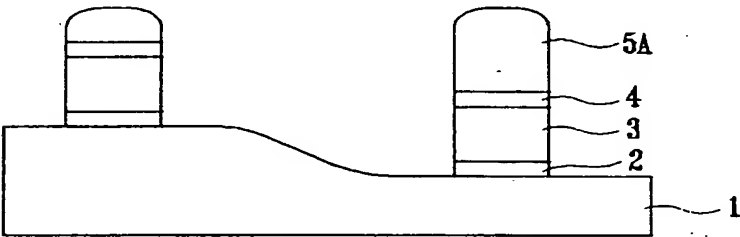
도면1



도면2



도면3



D

English translation of
the Korean Office Action

Date of Action: January 28, 2004

Name of Applicant: Sharp Kabushiki Kaisha & Tadahiro OHMO

Name of Attorney: KIM & CHANG

Application No.: 10-2001-0079143

Title of the Invention: Plasma Processing Method

Grounds for Rejection

The invention recited in claims 1, 2, 5 and 6 of the present application could have been made readily by a person skilled in the art prior to the filing of the application for the reason detailed below, and therefore, a patent cannot be granted thereto under the provision of Article 29, Paragraph 2 of the Patent Law.

REMARKS

The present invention relates to a plasma processing method. The invention is particularly characterized in that the provided plasma processing method is applied to production of the semiconductor or liquid crystal display. It is seen from a comparison between the invention recited in claims 1, 2, 5 and 6 with Korea Patent Publication No. 1998-050124 (1998.09.15) that they are similar to each other in that a plasma processing method is effected by performing etching while changing etching parameters, specifically, increasing the source power, decreasing the bias power and changing the etching gas ratio so as to improve the etching selectivity ratio. The present invention can thus be accomplished readily by those skilled in the art.

[Attachment]

Attached Reference 1 Korea Patent Publication No. 1998-050124 (1998.09.15)

January 28, 2004

1651

출력 일자: 2004/1/29

발송번호 : 9-5-2004-002684875

발송일자 : 2004.01.28

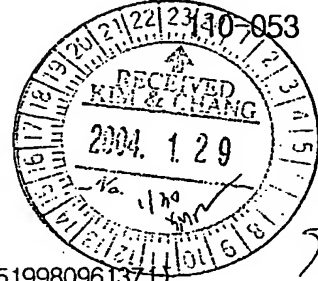
제출기일 : 2004.03.28

수신 : 서울 종로구 내자동 219 한누리빌딩(김&

장 특허법률사무소)

주성민 귀하

특허청 의견제출통지서



출원인 명칭 샤프 가부시키가이샤 외 1 명 (출원인코드: 519980961371)

주소 일본 오사카후 오사카시 아베노구 나가이쵸 22방 22고

대리인 성명 주성민 외 1 명

주소 서울 종로구 내자동 219 한누리빌딩(김&장 특허법률사무소)

출원번호 10-2001-0079143

발명의 명칭 플라즈마 처리 방법

PM 015983

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장증인 통지는 하지 않습니다.)

[이유]

이 출원의 특허청구범위 제1,2,5,6항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조제2항의 규정에 의하여 특허를 받을 수 없습니다.

[아래]

본 발명은 플라즈마 처리 방법에 관한 것으로, 특히 반도체 또는 액정 표시 장치의 제조에 이용되는 플라즈마 처리 방법을 제공하는 것을 특징으로 하는바, 청구범위 제1,2,5,6항은 한국공개특허 제1998-050124호(1998.09.15)의 특허와 비교할 때 플라즈마 처리방법에 있어서, 식각 파라미터중 소스전력의 증가, 바이어스전력의 감소 및 식각가스 비율을 변화시키고 식각 선택비를 향상시켜 에칭을 실시하는 것이 유사하여 당해 기술분야에서 통상의 지식을 가진 자에 의해 용이하게 발명될 수 있는 것입니다

[참 부]

첨부1 한국공개특허공보 1998-50124호(1998.09.15) 1부 끝.

2004.01.28

특허청

심사4국

반도체1심사담당관실

심사관 서태준



출력 일자: 2004/1/29

<<안내>>

문의사항이 있으시면 ☎ 042-481-5732 로 문의하시기 바랍니다.




특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

METHOD FOR FORMING OF METAL WIRE OF SEMICONDUCTOR DEVICE

Patent number: KR248342
Publication date: 2000-03-15
Inventor: CHOI CHANG-JU (KR), SEOL YEO-SONG (KR), LEE SEUNG-WOOK (KR)
Applicant: HYUNDAI ELECTRONICS IND (KR)
Classification:
 - **International:** H01L21/28
 - **European:**
Application number: KR19960068902 19961220
Priority number(s): KR19960068902 19961220

Also published as:

 JP10189594 (A)
 GB2320613 (A)
 DE19756227 (A1)

Abstract not available for KR248342
 Abstract of correspondent: **DE19756227**

A barrier layer 12 (eg TiN) is formed over an interlayer insulator layer 11, an interconnect layer 13 (eg tungsten) is formed over the barrier layer, and an antireflection film 14 is formed over the interconnect layer. A patterned photoresist layer 15 is used for masking the underlying metallic layers during a high density plasma etch at low temperature. A highly selective etch process which produces vertical sidewalls is obtained by increasing the source power and decreasing the bias power, and by adjusting the element concentration ratio in the etch gas.

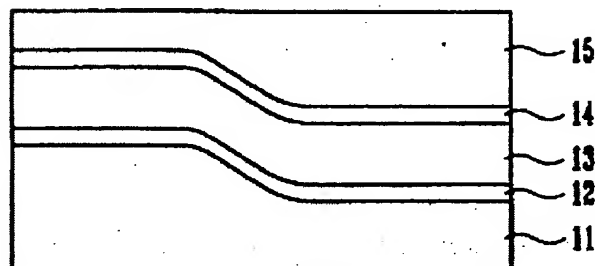


Fig . 3

Data supplied from the **esp@cenet** database - Worldwide

Family list

9 family members for:

KR248342

Derived from 5 applications.

[Back to KR248342](#)

1 Method for forming of semi-conductor device

Publication info: **CN1099700B B** - 2003-01-22
CN1185654 A - 1998-06-24

2 Verfahren zum Bilden von Metall-Leitungen einer Halbleitervorrichtung

Publication info: **DE19756227 A1** - 1998-06-25

3 Interconnect fabrication

Publication info: **GB2320613 A** - 1998-06-24
GB2320613 B - 2002-02-13
GB9725029D D0 - 1998-01-28

4 METHOD OF FORMING METAL WIRING OF SEMICONDUCTOR DEVICE

Publication info: **JP3238363B2 B2** - 2001-12-10
JP10189594 A - 1998-07-21

5 METHOD FOR FORMING OF METAL WIRE OF SEMICONDUCTOR DEVICE

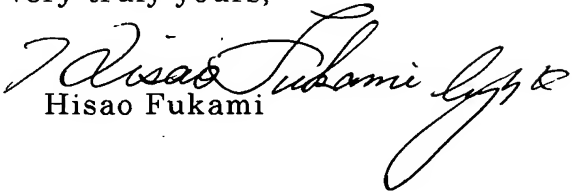
Publication info: **KR248342 B1** - 2000-03-15

Data supplied from the *esp@cenet* database - Worldwide

February 12, 2004

Please feel free to contact us, if you need more information in this connection.

Very truly yours,


Hisao Fukami

HF:HN:KaT:IJ:yu

Encls. Photocopy of Office Action and Cited Reference (will follow by Air Mail)